

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-339699

(43)Date of publication of application : 24.12.1996

(51)Int.Cl.

G11C 29/00

G11C 11/413

G11C 11/408

G11C 11/401

(21)Application number : 08-135062

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 29.05.1996

(72)Inventor : TOSHIKI KIRIHATA  
WONG HING

(30)Priority

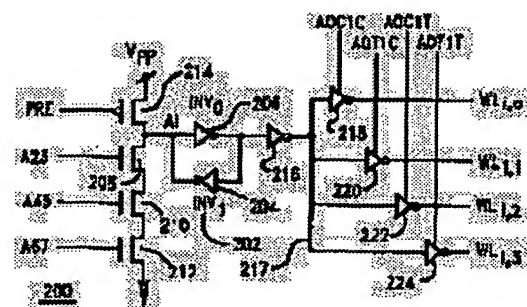
Priority number : 95 477063 Priority date : 07.06.1995 Priority country : US

## (54) ROW DECODER AND DRAM

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten the time required for discriminating a defective semiconductor memory chip.

SOLUTION: A latch row decoder for RAM. This decoder 200 is provided with a set/reset latch circuit 202 which is set when it is addressed and kept set until it is reset with a PRE signal, address selecting logic circuits (208, 210, and 212), a resetting device 214, and gate/word line drivers (218, 220, 222, and 224). The latch circuit enables the four word line drivers when it is set. The latch decoder 200 can be selected continuously during tests, but the decoder 200 is not reset and the drivers are kept enabled until the tests are completed. Therefore, several or all word lines can be enabled during the tests. A RAM with the latch decoder 200 has an ordinary random access mode and at least four test modes.



## LEGAL STATUS

[Date of request for examination] 14.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3282967

[Date of registration] 01.03.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-339699

(43) 公開日 平成8年(1996)12月24日

(51) IntCl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 3		G 1 1 C 29/00	3 0 3 B
11/413			11/34	3 0 2 A
11/408				3 4 1 D
11/401				3 5 4 B
				3 7 1 A

審査請求 未請求 請求項の数12 OL (全 12 頁)

(21) 出願番号 特願平8-135062

(22) 出願日 平成8年(1996)5月29日

(31) 優先権主張番号 4 7 7 0 6 3

(32) 優先日 1995年6月7日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(72) 発明者 トシアキ・キリハタ

アメリカ合衆国 12590 ニューヨーク州  
ワッピンガーズ フォールズ タウン  
ビュー ドライブ 38

(74) 代理人 弁理士 合田 潔 (外2名)

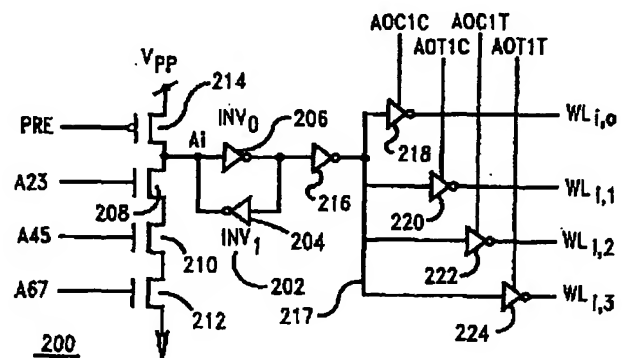
最終頁に続く

(54) 【発明の名称】 行デコーダおよびDRAM

(57) 【要約】

【課題】 欠陥半導体メモリ・チップを識別するのに必要な時間を軽減する。

【解決手段】 RAM用のラッチ行デコーダである。このデコーダ200は、アドレスされるとセットされPRE信号によってリセットされるまでセットされたままであるセット・リセットラッチ回路202と、アドレス選択論理回路(208, 210, 212)と、リセット・デバイス214と、ゲート・ワードライン・ドライバ(218, 220, 222, 224)とを備えている。ラッチ回路は、セットされると、4個のワードライン・ドライバをイネーブルする。テスト中、ラッチ・デコーダを連続適に選択することができるが、リセットされず、テストが終わるまでドライバをイネーブルのままとする。したがってテスト中、幾本かの、またはすべてのワードラインを、同時にドライブすることができる。ラッチ・デコーダを有するRAMは、通常のランダム・アクセス・モードと、少なくとも4つのテスト・モードとを有している。



**【特許請求の範囲】**

【請求項1】行アドレスに応答する行デコーダにおいて、  
行グループを選択するデコード手段と、  
前記選択された行グループを、リセットまで選択状態に保持するラッチ手段と、  
前記行グループの各々の行選択信号を個々にドライブするドライバ手段と、  
前記選択された行グループを選択解除するために、前記ラッチ手段をリセットするリセット手段と、を備える行デコーダ。

【請求項2】前記デコード手段は、3入力NANDゲートである、請求項1記載の行デコーダ。

【請求項3】前記ラッチ手段は、1対の交差結合インバータである、請求項1記載の行デコーダ。

【請求項4】前記行グループは、4本の行であり、前記リセット手段はP F E Tである、請求項1記載の行デコーダ。

【請求項5】行冗長ディスエーブル信号に応答して、前記行グループの選択をディスエーブルする手段を、さらに備える請求項1記載の行デコーダ。

【請求項6】前記行選択信号は、ラッチ部分デコーダから発生され、前記ラッチ部分デコーダは、前記ラッチ手段とは無関係にリセットされる、請求項1記載の行デコーダ。

【請求項7】メモリ・アレイを備え、前記メモリ・アレイは、行および列で配列され、前記行の少なくとも1つのグループは、請求項1記載の行デコーダによって選択され、ドライブされる、DRAM。

【請求項8】行アドレスに応答する行デコーダにおいて、  
行グループを選択するデコード手段と、  
行冗長ディスエーブル信号に応答して、前記行グループの選択をディスエーブルする手段と、  
前記選択された行グループを、リセットまで選択状態に保持するラッチ手段と、  
前記行グループの各々の行選択信号を個々にドライブするドライバ手段と、  
前記選択された行グループを選択解除するために、前記ラッチ手段をリセットするリセット手段とを備え、  
前記行選択信号は、ラッチ部分デコーダから発生され、  
前記ラッチ部分デコーダは、前記ラッチ手段とは無関係にリセットされる、行デコーダ。

【請求項9】メモリ・アレイを備え、前記メモリ・アレイは、行および列で配列され、行アドレスに応答する行デコーダを有する、DRAMにおいて、  
行グループを選択するデコード手段と、  
前記選択された行グループを、リセットまで選択状態に保持するラッチ手段と、  
前記行グループの各々の行選択信号を個々にドライブす

るドライバ手段と、

前記選択された行グループを選択解除するために、前記ラッチ手段をリセットするリセット手段と、を備えるDRAM。

【請求項10】前記デコード手段は、3入力NANDゲートである、請求項9記載のDRAM。

【請求項11】前記ラッチ手段は、1対の交差結合インバータである、請求項9記載のDRAM。

【請求項12】前記行グループは、4本の行であり、前記リセット手段はP F E Tである、請求項9記載のDRAM。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、一般には半導体メモリ、特に半導体メモリのテストに関するものである。

**【0002】**

【従来の技術】メモリセルの欠陥およびメモリアレイの欠陥には、多くの原因、したがって多くの特徴がある。分離されたセルの障害は、たとえ1つであっても、アレイ中に広がり、多くの場合、同じ付近の多数のセルが故障する。多数セル障害が発生すると、障害は、ワードライン障害（すなわち同一ワードライン・アドレスにあるセルの障害）、ビット（またはコラム）ライン障害（すなわち、同一ビットラインにあるセルの障害）、またはこれらの両方の障害に分けられる。これらの多数セル障害の原因は、変化する。したがって、メモリアレイは、欠陥セルを検出するために、広範囲にわたってテストされる。

【0003】多くの場合、欠陥のあるチップは、修理することができる。欠陥セルは、検出されると、アレイ内にスペアセルが設けられているならば、スペアセルと電気的に取り換えることができる。セル障害の修理のために、オンチップ・スペアセルを設けることは、技術上、オンチップ冗長性として既知である。代表的な最新の冗長方法は、1本以上のスペア行（行冗長性）および/または1本以上のスペア列（列冗長性）を有している。これらのスペア行/列は、フューズ・プログラマブル・デコーダを有している。このデコーダは、欠陥行/列のアドレスに応じてプログラムでき、同時に、欠陥セルを有する行/列の選択をディスエーブルする。修理されたチップは、電気的に、完全に良品のチップと見分けることはできない。

【0004】図1は、従来技術の16Mb DRAMチップの略図である。チップ100は、各サブアレイ106に2つのスペア列を与える、冗長ビットライン（RBL）102、104を備えている。各サブアレイ106は、2<sup>n</sup>本（nは代表的には、5～8）のビットライン（BL）108と、冗長ビットライン（この例では2本）とを有している。各サブアレイ106は、サブアレイ・ブロック110の一部である。すべてのサブアレイ

・ブロック110は、集合して全RAMアレイを形成する。したがって例えば、16Mb RAMは、各1Mbの16個のサブアレイ・ブロック110を有している。ブロックのサイズ、サブアレイのサイズ、および1個のブロック110あたりのサブアレイ106の数は、相互に依存し、性能および論理目的に基づいて選択される。

【0005】1本のワードライン112が選択され、ハイにドライブされると、サブアレイ106がアクセスされる。アクセスされたセルからのデータは、ビットライン108と冗長ビットライン102、104とに同時に与えられる。冗長デコードがスベア列をアドレスするか否かを決定するのを可能にするのに十分な、所定の最小遅延の後、各サブアレイ内で冗長ビットライン102、104が選択される。各サブアレイにおいて、選択されたビットライン108または冗長ビットライン102、104は、ローカル・データライン(LDL)114に接続される。LDL114は、マスタ・データライン(MDL)116に接続される。MDL116は、各サブアレイ・ブロック110内の対応するサブアレイ106を接続する。データは、サブアレイ106とMDL116上のチップI/Oとの間を、転送される。

【0006】図2は、サブアレイ106のトランジスタ・レベルの回路図である。隣接するワードライン112、118に接続されたセル120、122は、また、各ビットライン対の対向ライン124、126に接続される。したがって、ワードライン112の半分(例えば、偶数アドレスのワードライン)が、ビットライン対の一方のライン124上のセル120を選択する。残りの半分のワードライン118(奇数アドレスのワードライン)は、ビットライン対の他方のライン126上のセル122を選択する。各セルの記憶キャパシタ128は、代表的には、トレンチ・キャパシタまたは高密度のスタック構造である。技術上既知のように、FETが通過させる最大電圧は、そのゲート・ソース電圧( $V_{GS}$ )からFETのターンオン電圧すなわちスレシヨルド電圧( $V_T$ )を引いた電圧、すなわち $V_{GS}-V_T$ である。したがって、ビットライン124、126が電源電圧レベル $V_{dd}$ (または $V_H$ )にチャージされ、ワードライン112、118がまた $V_{dd}$ にあれば、最大のビットライン信号、すなわち記憶キャパシタ128に記憶されたまたは記憶キャパシタ128から読取られた電圧は、 $V_{dd}-V_T$ である。したがって、ビットライン信号を最大にするには、ワードライン112、118を、読取りまたは書込み中に、典型的には少なくとも $V_{dd}+V_T$ に昇圧し、 $V_{dd}$ が、セルに書込まれ/セルから読出されるようにする。この昇圧レベルは、 $V_{pp}$ と呼ばれ、通常、オンチップで発生される。

【0007】図2の回路の動作を、図3のタイミング図に従って説明する。“1”をアレイに記憶して、センスアンプ140を、予め定めた“1”状態にセットする。

したがって、“1”がビットライン124ハイおよびビットライン126ローと定義されると、セルの記憶キャパシタ128をチャージすることによって、“1”がセル120(およびビットライン124に接続されたすべての他のセル)に記憶される。逆に、セル122の記憶キャパシタ138をチャージすることによって、“1”がセル122(およびビットライン126に接続されたすべての他のセル)に記憶される。セル120または122を選択する前は、アレイは、その定常状態の待機状態にある。等化トランジスタ134のゲート132がハイに保持されると、ビットライン124、126の電圧は、 $V_H/2$ に等しくされる。ワードライン(WL)112、118および選択ライン(CSL)146は、待機中ローに保持される。従来技術のRAMでは、簡単なリセット可能ラッチ回路(図示せず)によって、各ワードラインがローにクランプされる(ハイにドライブされなければ)。ワードライン112(または118)がハイにドライブされると、ワードライン112上の各セル120において、セル・バスゲート130はターンオンされ、セルの記憶キャパシタ128を対のライン124に接続する。したがって、記憶キャパシタ128とライン124との間で、電荷が転送される。代表的には、ビットライン・キャパシタンスは、記憶キャパシタ128のキャパシタンスよりも少なくとも10倍大きい。したがって、ライン124の電圧は、記憶キャパシタ128に1が記憶されると上昇し、記憶キャパシタ128に0が記憶されると低下する。ビットライン124と記憶キャパシタ128との間の電荷転送を最大にするためには、ワードライン112を $V_{pp} \geq V_{dd} + V_T$ に昇圧させる。ビットライン対の他のライン126は、そのプリチャージ電圧レベル $V_{dd}/2$ に保持され、センスアンプ140の基準電圧として働く。

【0008】十分な電荷が転送されて“1”または“0”を検出するのに十分な遅延の後、センスアンプ140がセットされる。センスアンプは、センスアンプ・イネーブル(SAE)ライン142をハイに、その反転ライン144をローにドライブすることによって、セットされる。ビットライン対124、126に転送されるデータは、ビットライン対124、126上で増幅され、再ドライブされる。これは、センスアンプ124をセットし、セル120に記憶されたデータに基づいて、ビットライン124、126を、ハイ/ローまたはロー/ハイにすることにより行われる。センスアンプのセットは、検出されたデータを、選択されたセル120に書込む。センスアンプをセットすることによって、すべてのビットライン124、126が再ドライブされると、セグメント選択信号(SEGE<sub>1</sub>)は、ドライブCSL146をハイに立上げて、各アクセスされたサブアレイ106内の1つの列を選択する。CSL146上のハイは、選択された再ドライブ・ビットライン対124、1

26を、バスゲート152を経て、LDL148、150に接続する。CSLタイミングは、SEGE<sub>i</sub>にほぼ同じであるが、それよりわずかに遅延している。

【0009】障害セルを識別するためのメモリチップのテストは、複雑であり、障害の各種類を識別するように構成された特殊なテスト・パターンを必要とする。セルの欠陥または欠点は、ハードDC障害またはAC（結合）障害を生じさせる。典型的なDC障害は、セルと通過ワードライン（WL）との間の漏洩、ビットライン対WL漏洩、WL対基板／チャンネル漏洩、あるいはWL対WL漏洩である。典型的なAC障害は、WLまたはセンスアンプ（SA）セットへの容量結合より生じるノイズである。

【0010】多くのこのようなテストは、テスト時間、したがってコストを下げるためには、幾本かのワードラインを同時にアクティベートすることを要求する。1つの例は、セルと通過WLとの間、およびBLとWLの間の漏洩をテストするのに用いられる複数ワードライン選択テストである。このテストに対しては、典型的に、1本以上（すべてではない）のワードラインをハイにドライブし（アクティベートし）、同時に、センスアンプ（SA）をセットする。アクティベートされたワードラインは、延長された期間（長期間 $t_{RAS}$ ）の間、アクティブに保持される。一定の欠陥に対しては、アクティベートされた通過ワードラインからのセル漏洩は、欠陥セルの記憶キャパシタ128をチャージし、これによりセルに記憶されたデータを変更する。また、他の種類の欠陥に対しては、ビットライン対セル漏洩は、欠陥セルのチャージされた記憶キャパシタ128をディスチャージし、蓄積された電荷を減少させて、欠陥セルの読取り、したがって識別を不能にし、あるいはほとんど不能にする。各ワードラインは、比較的長い期間アクティベートされることが必要であり、およびDRAMは非常に多数のワードラインを有するので、テスト時間を短くするには、テストにおいて多くのワードラインを同時にアクティベートしなければならない。

【0011】他の例は、転送ゲート・ストレス・テストであり、これは、欠陥のあるセル、あるいは弱いゲート酸化物を識別するために用いられる。このテストに対しては、代表的に、すべてのワードラインはハイに、すなわち $V_H$ より大、例えば $V_{pp}$ にドライブされ、一方、すべてのビットラインはローに、すなわちGNDにされる。すべてのワードラインが $V_{pp}$ に、すべてのビットラインがGNDにあれば、ゲート酸化物電界は最大になる。ゲートが欠陥または弱い酸化物を有するならば、短絡が形成される。

【0012】多くの場合、多数のワードラインを含むテストが、記憶キャパシタ・プレート上の異常に大きなプレート電圧バウンス（bounce）によって、あるいはアレイ・ウェル電圧バウンスによって、妨害される。

これら両バウンスは、従来技術のDRAMにおける多数ワードラインの同時切換によって生じる。これらの電圧バウンスは、ストレス下のセルに対し異常な妨害を生じさせ、セルに記憶されたデータを破壊する。

【0013】複数のワードラインを同時にアクティベートする場合の他の問題は、IR降下によってローカル $V_{pp}$ レベルを減少させるワードライン短絡の高い可能性である。例えば、ワードラインがグラウンドに短絡されると、電源バスを経る電圧降下は、非常に重要になる。またワードライン対ワードライン短絡が発生する。このような短絡は、信頼できず、かつ、予期し得ないテスト結果を生じる。しかし、従来技術のDRAMでは、欠陥ワードライン（たとえ以前に識別され、置き換えられたとしても）の選択を、前記複数ワードライン・テスト中に、避けることはできない。したがって、複数ワードラインを、さらに容易に、フレキシブルに、かつ、信頼性良くテストすることのできるRAMが要求される。

【0014】

【発明が解決しようとする課題】本発明の目的は、半導体メモリのテスト時間を軽減することにある。

【0015】本発明の他の目的は、半導体メモリのテストを簡略にすることにある。

【0016】本発明のさらに他の目的は、欠陥半導体メモリ・チップを識別するのに必要な時間を軽減することにある。

【0017】本発明のさらに他の目的は、初期の半導体メモリ・チップのテスト・スクリーニングを簡略化することにある。

【0018】本発明のさらに他の目的は、RAMアレイに対し複数のワードラインを同時に選択することにある。

【0019】

【課題を解決するための手段】本発明は、ラッチ行デコーダを有するRAMである。ラッチ行デコーダは、行アドレスに応答する。行アドレスは、NORゲートおよびラッチ部分デコーダで、部分的にデコードされる。部分的にデコードされたアドレスは、ラッチ行デコーダに与えられる。このラッチ行デコーダは、行グループを選択するデコード手段と、選択された行グループを、リセットまで選択状態に保持するラッチ手段と、行グループの各々の行選択信号を個々にドライブするドライバ手段と、選択された行グループを選択解除するために、ラッチ手段をリセットするリセット手段とを備えている。ラッチ部分デコーダは、グループのどの行をドライバ手段によってドライブするかを選択する。

【0020】

【発明の実施の形態】本発明は、行デコーダを有する半導体メモリである。行デコーダは、一旦ラッチされるとリセットされるまで保持されるアドレス・イネーブル・ラッチ回路を有している。行デコーダのラッチ回路のセ

ットは、個々のアドレスを通して、複数のワードラインの各々の個々の選択をイネーブルする。センスアンプ(SA)は、複数のワードラインのうちの第1のワードラインをターンオンした後に、セットされる。リセット信号がイネーブル・ラッチ回路をリセットすると、ワードラインはローに戻され、これにより行デコーダをディスエーブルして、行デコーダを選択されない状態に戻す。

【0021】図4は、本発明によるラッチ行デコーダ200の略図である。ラッチ行デコーダ200は、各サブアレイ内に256本のワードラインを有する256Mb DRAM内のワードライン・デコーダである。本発明のラッチ・デコーダは、ラッチ回路202(交差接続されたインバータ204, 206)と、アドレス選択論理回路(NFET208, 210, 212)と、リセット・デバイス(PFET214)と、ラッチ・バッファ216と、4個のゲート型ワードライン・ドライバ218, 220, 222, 224とを有している。256本のワードライン $WL_{i,0-3}$ に対し、64個( $i=0\sim63$ )のこのようなラッチ・デコーダ200が存在する。

【0022】ラッチ・デコーダ200は、アドレス選択論理回路内の3個のNFET208, 210, 212をターンオンすることによって、選択される。これらの3個のNFET208, 210, 212は、3入力NANDゲートを形成し、アドレス信号A23, A45, A67の各々をハイにドライブすることによって、ターンオンされる。A23は、図5の部分デコーダ(3入力NORゲート)226からの、部分的にデコードされたアドレス信号である。A45およびA67は、それぞれ、図6の2入力NORゲート228からの部分的にデコードされたアドレス信号である。A4, A5, およびA6, A7は、それぞれの2入力NORゲートへの入力であり、その出力線上にA45, A67を適切に発生する。

【0023】ワードライン・アドレスビットは、01, 23, 45, 67と対にされており、これら対は、部分デコーダ226, 228, 240(図7)で、それぞれA01, A23, A45, A67として部分的にデコードされる。各A23部分デコーダ226を、行冗長ディスエーブル否定信号(RRDN)信号によってディスエーブルでき、これにより、複数のワードライン・テスト中にも、欠陥ワードラインの選択を防止する。RRDNは、通常ローに保持され、以前に置き換えられた欠陥行が選択されたならば、A23部分デコーダを、ディスエーブルのためにのみ、ハイにドライブする。これは、従来のDRAMに固有のこれら欠陥ワードラインの選択における問題を回避する。各部分デコーダ入力(例えばA2またはA3)は、真または補数であり、これらはアドレス・レシーバから得られ、A2はA2TまたはA2Cのいずれか、A3はA3TまたはA3Cのいずれかである。16個の部分デコード信号が存在する。これらの部

分的にデコードされた信号は、以下に示すように、A01, A23, A45, またはA67によって表される。

【0024】A01=A0C1C, A0T1C, A0C1T, またはA0T1T

A23=A2C3C, A2T3C, A2C3T, またはA2T3T

A45=A4C5C, A4T5C, A4C5T, またはA4T5T

A67=A6C7C, A6T7C, A6C7T, またはA6T7T

4個のワードライン・ドライバ218, 220, 222, 224の各々は、A01によって選択される。A01は、図7のラッチ部分デコーダ240において発生される。ラッチA01部分デコーダ240は、図4の3入力NANDゲートおよびラッチ回路と、以下の点を除いて、機能的に同じである。すなわち、リセットPFET214およびデコードNFET208は、共通リセット信号、すなわち入力242でのWLRESET\*(\*は否定を意味する)によってドライブされる。A0およびA1は、それぞれ、入力244, 246でゲート210, 212に接続され、組合されてA01を発生する。

好ましくは、A01部分デコーダ240の出力217は、レベルシフタ(図示せず)を駆動する。このレベルシフタは、順次、ワードライン・ドライバ218, 220, 222, 224(図8の250)について、A01を出力217の $V_{dd}$ から $V_{pp}$ に反転しシフトする。

【0025】ワードライン・ドライバ250は、PFET252およびNFET254により構成されている。図8に示すように、両FET252, 254のゲートは、ラッチ・バッファ216の出力217によって駆動される。NFET254のドレイン、ソースは、ワードライン256とグラウンドとの間に接続される。PFET252のドレイン、ソースは、A01とワードライン256との間に接続される。行デコーダのラッチ回路202がリセットされると、出力217はハイになって、NFET254をターンオンし、ワードラインをローに保持し、PFET252をターンオフし、ワードライン256をA01から分離する。行デコーダのラッチ回路202がセットされると、出力217はローとなって、NFET254をターンオフし、ワードライン256をグラウンドから分離し、PFET252をターンオンし、ワードライン256をA01に接続する。

【0026】このように、アドレス行デコーダのラッチ回路202は、NFET208, 210, 212をターンオンすることによりセットされ、 $A_i$ をローにプルする。ラッチ・インバータ206は、 $A_i$ のローを反転する。ラッチ・バッファ216は、インバータ206の出力を再反転して、すべての4個の反転ワードライン・ドライバ218, 220, 222, 224の2入力にローを与える。図8の各ワードライン・ドライバ218, 2

20, 222, 224は、その各ラッチ部分デコーダ240からの各ゲート入力A0C1C, A0T1C, A0C1TまたはA0T1Tがハイにドライブされると、ワードラインをハイにドライブする。行デコーダのラッチ回路202は、一旦セットされると、リセット信号PREがローにドライブされるまでセットされたままであり、PFET214をターンオンし、ラッチ回路202をリセットする。

【0027】各WLは、その各ワードライン・ドライバによって、ハイまたはローにアクティブに保持される。したがって、従来技術のRAMにおいて選択されなかったワードラインをローにクランプすることが要求されたWLラッチ回路は、本発明によって、取り除かれる。さらに、デコーダがイネーブルされると、4個のWLが同時に部分的に選択される。

【0028】本発明のラッチ行デコーダを有するRAMについては、5モードの動作が存在する。さらに、通常のランダム・アクセス・モードの外に、4つのテストモードがある。これらのテストモードは、長期間 $t_{RAS}$  WL妨害モード、トグルWL妨害モード、転送ゲート・ストレス・モード、WLストレス・モードである。

【0029】図9は、ランダム・アクセス・モードの動作のタイミング図である。待機中、部分的にプリデコードされたアドレスA23, A45, A67、およびリセット信号PREはローであり、デコーダ・ノード $A_i$ を $V_{pp}$ にプリチャージする。部分的にプリデコードされたアドレスA01は、またローであり、したがって、256本のすべてのワードライン $WL_{i,0-3}$ である。アレイ・アクセスは、RAS\*がローになるとき開始する。選択されたサブアレイのリセット信号PREが立上り、デコーダ・リセットをディスエーブルする。次に、部分的にデコードされた各アドレス（例えば、A2C3C, A4C5C, A6C7C）の1つが立上る。その結果、64個のデコーダから1つのデコーダ $A_i$  ( $A_0$ )がローにプルされて、そのラッチ回路をセットする。ラッチ回路のセットは、256本のワードラインのうちの4本のグループ（すなわち $WL_{0,0-3}$ ）を部分的に選択する。このグループのうちの1本のワードラインは、部分的にプリデコードされたアドレスA01（例えばA0C1C）の1つが立上ることによって選択される。このようにして、選択されたワードライン ( $WL_{0,0}$ ) は、ハイにドライブされる。センスアンプは、通常にセットされる。

【0030】アレイがアクセスされた後に、すべてのプリデコードされた信号A01, A23, A45, A67およびPREは、RAS\*が立上るときにローにリセットされる。リセットの際、以前にセットされたラッチ回路は、リセット信号PREのローによってリセットされ、 $A_i$ はPFET214を経て $V_{pp}$ にプルされる。また、以前に選択されたWL（すなわち $WL_0$ ）はローに戻される。

【0031】好適な実施例のラッチ行デコーダによるRAMのテストは、従来技術によるRAMのテストに対してかなり改善されている。本発明の利点を容易に理解させるために、複数ワードライン・テストのタイミング図を、従来技術のRAMと、図4～図8のラッチ行デコーダによるRAMとについての上記各テストに対して示す。

【0032】図10は、従来技術の複数のワードラインの長期間 $t_{RAS}$  妨害テストに対するタイミング図である。この従来技術のテストにおいては、RAS\*が立下ると、64本のワードライン $WL_{i,0}$ が同時にハイにドライブされる。センスアンプは、その直後にセットされる。アクティベートされたワードライン上のすべてのセルは、同時にターンオンされ、検出される。この同時セル切替は、セルのプレート電圧および $V_{pp}$ にノイズを誘導する。ノイズ電流と $V_{pp}$ およびプレート上の抵抗とは、テストを妨害し、この従来技術RAMについてのテストの信頼性を減少させる。

【0033】これとは対照的に、図11は、本発明による長期間 $t_{RAS}$  妨害テストに対するタイミング図である。このテストでは、ラッチ行デコーダ回路は、連続的に選択され、ラッチされて、ラッチされたデコーダが1対4選択ワードラインのグループをイネーブルする。このテストでは、センスアンプは、第1のWLが選択された後に、セットされる。RAMをさらにストレスするには、電圧 $V_{pre}$ をプリチャージすることによって、ビットラインを、ビットライン等化器を経て接地 (GND) することができる。これは、64個のすべてのデコーダが選択され、ラッチされた後に、行われる。選択されるワードラインの数およびそれらのアクティベーション・シーケンスは、テストにおいて外部的に選択される。また、セット信号PREは、テストによって外部制御されるので、テストはラッチ回路を独立にリセットする。したがって、アクティベートされたワードラインおよびセットされたセンスアンプの数は、このテストにおける各連続選択中は、通常のランダム・アクセスと同じであるので、（すなわち、ワードライン、ビットライン、センスアンプの通常の数、切り換えられる）、このテストは、通常の読取りまたは書き込み程度に信頼でき、従来技術よりもかなり改善されている。

【0034】長期間 $t_{RAS}$  妨害テストの始めに、チップがイネーブルされると (RAS\*がロー)、リセット信号PREは立上り、ハイに保持されて、 $A_i$ デコーダのラッチ回路リセットをディスエーブルする。続いて、部分的にデコードされたアドレス（例えば、A2C3C, A4C5C, A6C7C）は、ランダム・アクセス・モードにおけるように立上る。その結果、64個のデコーダのうちの1つのデコーダ $A_i$ （例えば $A_0$ ）がローにプルされ、ラッチされる。このセット・ラッチは、256本のワードラインから4本を、この例では $WL_{0,0}$ を



選択する。部分的にプリデコードされたワードライン・ドライバ・アドレスA01のうちの1つ(A0C1Cのような)が立上り、4個の部分的に選択されたワードライン・ドライバのうちの1個をイネーブルする。このドライバは、ワードラインWL<sub>0,0</sub>をハイにドライブする。したがって、通常のランダム・アクセスに関して、センスアンプが通常にセットされる。長期間 $t_{RAS}$ ワードライン妨害テスト中のこの最初のアクセスの後に、RAS<sup>\*</sup>がハイのときでさえも、リセット信号PREはハイに保持されるので、選択されたワードラインは、選択されたままである。各連続するRASサイクルでは、部分的にデコードされたアドレス(例えば、A2T3C, A4C5C, A6C7C)が立上ると、他のラッチ回路がセットされる。各ラッチ回路がセットされると、他のグループのワードライン・ドライバは、部分的に選択され、したがって、他のワードラインがドライブされる。以前にセットされたラッチ回路はセットされたままであり、既にアクティブなワードラインは、アクティブのままである。このシーケンスは、すべてのワードライン・デコードがイネーブルされるまで、すなわちテストが終了するまで繰り返される。

【0035】テストが終了すると、アクティブなワードラインは、初めにA01をローにプルすることによって、リセットされる。A01レベルシフトは、それぞれ、通常動作において1本のWLをチャージおよびディスチャージするように構成されているので、リセット中の瞬時グラウンド電流は、これらレベルシフトによって制限される。各レベルシフトは、選択されたワードラインの主要部をディスチャージする。したがって、A01がローにプルされると、ワードライン・ドライバ218, 220, 222, 224によってワードラインをディスチャージする。ワードラインがV<sub>lp</sub>に低下すると、ディスチャージは停止する。リセット信号PREが立下ると、ラッチ・ノードA<sub>1</sub>がV<sub>pp</sub>にプルされるので、ラッチ回路はリセットされる。ラッチ回路のリセットは、行デコードをリセットし、残りのワードラインの電圧(V<sub>lp</sub>)を、NFET254を経てグラウンドにディスチャージする。最後に、センスアンプが通常にリセットされる。

【0036】この長期間 $t_{RAS}$ 妨害テストは、選択されたワードラインあたり1つのRASサイクル(≒100ns)を必要とする。しかし、テスト時間は、セルの保持時間(256ms)よりもかなり短く、1000回のRASテスト・サイクルも可能である。

【0037】図12は、本発明によるトグル複数ワードライン妨害テストのタイミング図である。このテストでは、各ラッチ行デコードは、連続的に選択され、このテストに対しては、WLRESET<sup>\*</sup>はRAS<sup>\*</sup>によりトグルされ、続いてA01をトグルする。各デコードのラッチ回路がセットされると、それはセットされたままに

保持される。したがって、イネーブルされたワードラインは、RAS<sup>\*</sup>ですべてトグルされる。センスアンプは、最初のラッチ回路がセットされるとセットされ、あるいはトグルされたワードラインによってセットおよびリセットされる。長期間 $t_{RAS}$ 妨害テストについては、ワードライン・グループ・サイズおよびアクティベーション・シーケンスは、テストにおいて外部制御される。非常に多くのワードラインを同時にトグルする故に、V<sub>pp</sub>ノイズを考慮するならば、同時にトグルする(選択される)ワードラインを、テストによって減らすことができる。

【0038】図13は、従来技術の転送ゲート・ストレス・テストのタイミング図である。このDCテストでは、サブアレイ内の256本すべてのワードラインが、同時に選択され、ハイにドライブされる。ワードラインのドライブと同時に、ビットライン・プリチャージ電圧V<sub>pre</sub>は、接地される。この従来技術テストは、同時切換、特にグラウンド・バウンスによって、妨害される。

【0039】図14は、本発明による転送ゲート・ストレス・テストのタイミング図である。このテストでは、4つのすべてのA01信号はハイに保持され、イネーブルされた行デコードの4つのすべてのドライバをイネーブルする。RAS<sup>\*</sup>, PRE, A23, A45, A67は、トグルされて、行デコードのラッチ回路を連続的にセットする。4本のワードライン(WL<sub>1,0-3</sub>)の各グループは、連続的にイネーブルされ、4本のすべてのワードラインはハイにドライブされる。このテストでは、図13の従来技術のテストのように、センスアンプはセットされない。その代わりに、ビットラインは、V<sub>pre</sub>を接地することによって、ビットライン等化器を経て接地(GND)される。また、欠陥ワードラインはディスエーブルされて、従来技術のDRAMにおいて生じる短絡を経るV<sub>pp</sub>降下を避けることによって、テストの信頼性をかなり改善する。

【0040】図15は、本発明によるワードライン・ストレス・テストのタイミング図である。このテストは、転送ゲート・ストレス・テストに類似している。しかし、交互するワードラインは、4つのA01信号の代わりに2つの信号(例えば、A0C1CおよびA0C1T)によって選択的にアクティベートされる。このテストでは、交互するワードラインは、ハイ(V<sub>pp</sub>)およびロー(GND)にされ、隣接するワードライン間に最大の電界を与える。WL間の短絡を、このテスト中にワードライン間で識別でき、あるいは形成することができる。したがって、RAS<sup>\*</sup>, PRE, A23, A45, A67は、長期間 $t_{RAS}$ ワードライン妨害テスト(図10)におけるように、トグルされる。ラッチ回路は連続的にセットされ、各ラッチ回路がセットされると、交互するワードライン(例えば、W<sub>1,0</sub>およびL<sub>1,2</sub>)が選択されて、連続的にドライブされる。ワードラインは、



一旦アクティベートされるとアクティブに留まって、最終的に、ハイ/ローの交互するワードライン・パターンが生成される。

【0041】これら4つのテストについて、冗長制御信号PRDNによって部分アドレスをゲートすることによって、あるいは、フューズ・プログラミングの前に、テストにおいてアドレスをマスクすることによって、既知の欠陥ワードラインをディスエーブルすることができる。前述したように、従来技術のRAMでは、テスト中に、すべてのワードラインが同時に切り換わった。しかし、好適なラッチ行デコーダは、ワードラインのすべてあるいは多数を、徐々に選択することを可能にするので、ワードラインの一部のみが、RASテスト・サイクル中に、選択されたサブアレイにおいて切り換わる。したがって、 $V_{pp}$ ライン・ノイズが最小となり、外部 $V_{pp}$ 電源の必要性を排除する。

【0042】また、WL妨害テスト中のビットライン検出により生じるプレート・カップリング・ノイズは、最少となる。というのは、センスアンプは、第1のワードラインが選択された後に、セットされるからである。したがって、ビットラインは、最初のワードラインからのデータにตอบสนองしてドライブされるので、定常状態に保持される。さらに、本発明のデコーダによれば、2個以上のデコーダがイネーブルされた後に、複数ワードライン（イネーブルされた）を、ACテストのためにトグルすることができる。複数のワードラインの同時ディスチャージにより生じるかもしれない、切換電流誘導グラウンド・バウンスは、テスト中のビットラインおよびワードライン切換を減少させることによって、減少する。

【0043】さらに、テストは、アクティブ・ワードラインの数、それらの選択、それらのアクティベーション・シーケンスを制御することができる。したがって本発明は、重要なテスト・モード・フレキシビリティを有している。既知の欠陥ワードラインを置き換えるヒューズ・プログラミングの前に、テストは前のテスト結果を使って、既知の不良行アドレスを見つけることができる。また、欠陥ワードラインを識別し置き換えた後に、欠陥ワードラインは、冗長比較信号で行デコーダ選択信号をゲートすることによって、バイパスされる。したがって、行アドレスが置き換えられたWLに一致するならば、アドレスは阻止され、行デコーダには送られない。

【0044】最後に、このラッチ・デコーダを有するアレイを、すべてのワードライン、または延長された期間にわたってアクティブな交互ワードラインによって、バーン・インまたは信頼性解析することができる。

【0045】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 行アドレスにตอบสนองする行デコーダにおいて、行グループを選択するデコード手段と、前記選択された行グループを、リセットまで選択状態に保持するラッチ手段

と、前記行グループの各々の行選択信号を個々にドライブするドライバ手段と、前記選択された行グループを選択解除するために、前記ラッチ手段をリセットするリセット手段と、を備える行デコーダ。

(2) 前記デコード手段は、3入力NANDゲートである、上記(1)に記載の行デコーダ。

(3) 前記ラッチ手段は、1対の交差結合インバータである、上記(1)に記載の行デコーダ。

(4) 前記行グループは、4本の行であり、前記リセット手段はPFETである、上記(1)に記載の行デコーダ。

(5) 行冗長ディスエーブル信号にตอบสนองして、前記行グループの選択をディスエーブルする手段を、さらに備える上記(1)に記載の行デコーダ。

(6) 前記行選択信号は、ラッチ部分デコーダから発生され、前記ラッチ部分デコーダは、前記ラッチ手段とは無関係にリセットされる、上記(1)に記載の行デコーダ。

(7) メモリ・アレイを備え、前記メモリ・アレイは、行および列で配列され、前記行の少なくとも1つのグループは、上記(1)に記載の行デコーダによって選択され、ドライブされる、DRAM。

(8) 行アドレスにตอบสนองする行デコーダにおいて、行グループを選択するデコード手段と、行冗長ディスエーブル信号にตอบสนองして、前記行グループの選択をディスエーブルする手段と、前記選択された行グループを、リセットまで選択状態に保持するラッチ手段と、前記行グループの各々の行選択信号を個々にドライブするドライバ手段と、前記選択された行グループを選択解除するために、前記ラッチ手段をリセットするリセット手段とを備え、前記行選択信号は、ラッチ部分デコーダから発生され、前記ラッチ部分デコーダは、前記ラッチ手段とは無関係にリセットされる、行デコーダ。

(9) メモリ・アレイを備え、前記メモリ・アレイは、行および列で配列され、行アドレスにตอบสนองする行デコーダを有する、DRAMにおいて、行グループを選択するデコード手段と、前記選択された行グループを、リセットまで選択状態に保持するラッチ手段と、前記行グループの各々の行選択信号を個々にドライブするドライバ手段と、前記選択された行グループを選択解除するために、前記ラッチ手段をリセットするリセット手段と、を備えるDRAM。

(10) 前記デコード手段は、3入力NANDゲートである、上記(9)に記載のDRAM。

(11) 前記ラッチ手段は、1対の交差結合インバータである、上記(9)に記載のDRAM。

(12) 前記行グループは、4本の行であり、前記リセット手段はPFETである、上記(9)に記載のDRAM。

【図面の簡単な説明】

【図1】従来技術のRAMアレイの略図である。

【図2】RAMサブアレイのトランジスタ・レベルでの回路図である。

【図3】図2の回路の動作を説明するためのタイミング図である。

【図4】本発明の実施例によるラッチ付き行デコーダの略図である。

【図5】本発明の実施例による部分アドレス・デコーダの略図である。

【図6】本発明の実施例による部分アドレス・デコーダの略図である。

【図7】本発明の実施例によるラッチ付き部分アドレス・デコーダの略図である。

【図8】本発明の実施例によるワードライン・ドライバの略図である。

【図9】図4のラッチ付き行デコーダを有するRAMの通常のランダム・アクセスのタイミング図である。

【図10】従来の複数ワードライン選択テストのタイミング図である。

【図11】本発明の最初のワードライン選択（長期間t<sub>RAS</sub>妨害）テストのタイミング図である。

【図12】本発明のトグルされたワードライン妨害テス

トのタイミング図である。

【図13】従来技術の転送ゲート・ストレス・テストのタイミング図である。

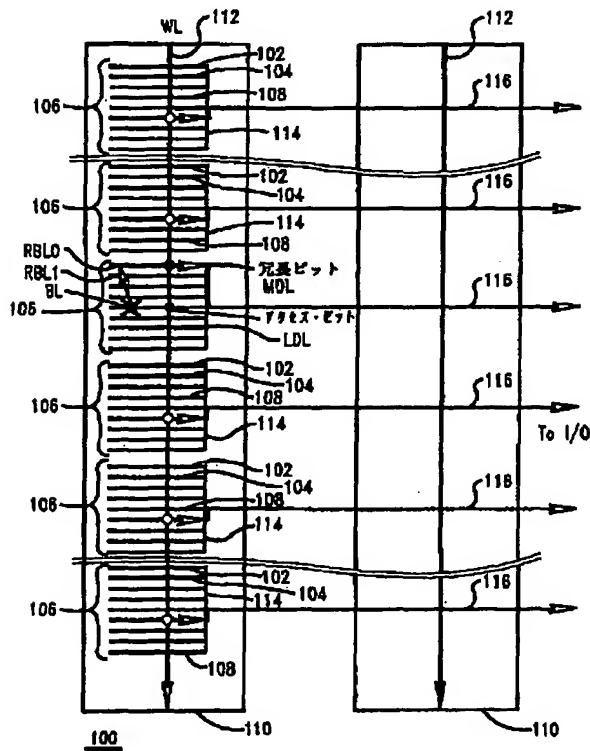
【図14】本発明の転送ゲート・ストレス・テストのタイミング図である。

【図15】本発明の好適な実施例のワードライン・ストレス・テストのタイミング図である。

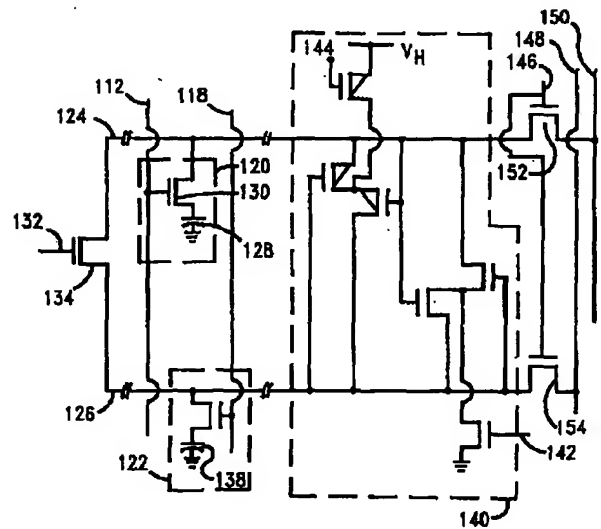
#### 【符号の説明】

100 DRAMチップ  
102, 104 冗長ビットライン  
106 サブアレイ  
112, 118 ワードライン  
120, 122 セル  
124, 126 ビットライン  
140 センスアンプ  
200 ラッチ行デコーダ  
202 ラッチ回路  
218, 220, 222, 224 ゲート・ワードライン・ドライバ  
226, 228 部分デコーダ  
250 ワードライン・ドライバ

【図1】

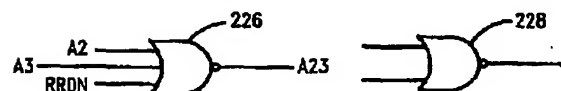


【図2】

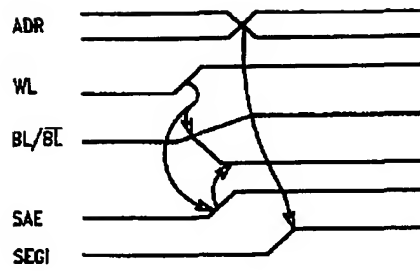


【図5】

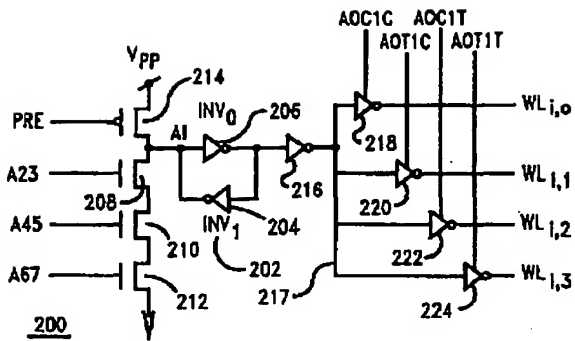
【図6】



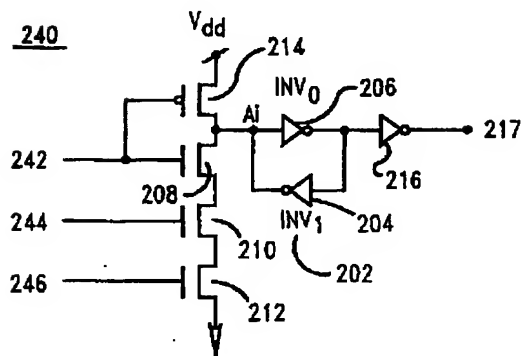
【図 3】



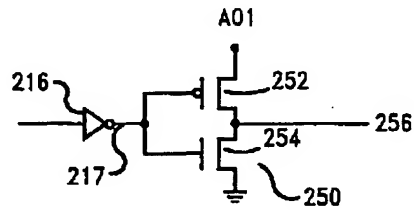
【図 4】



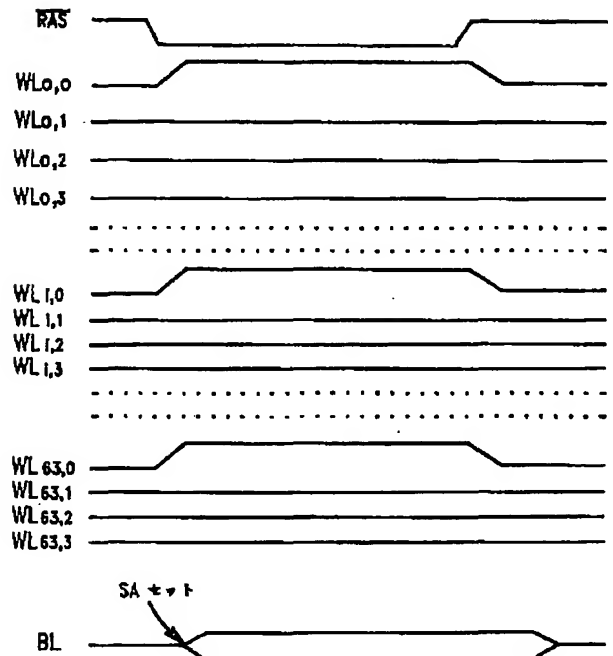
【図 7】



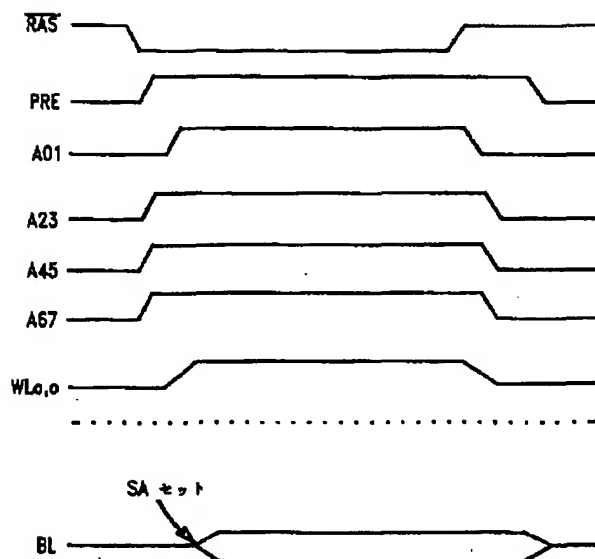
【図 8】



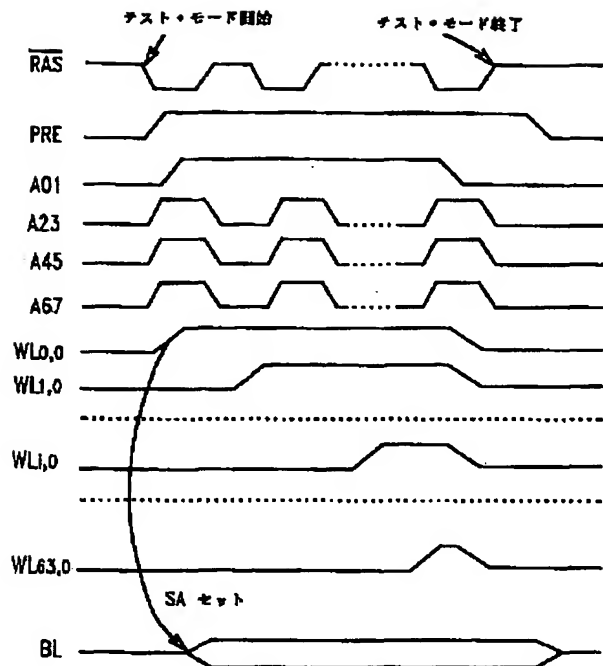
【図 10】



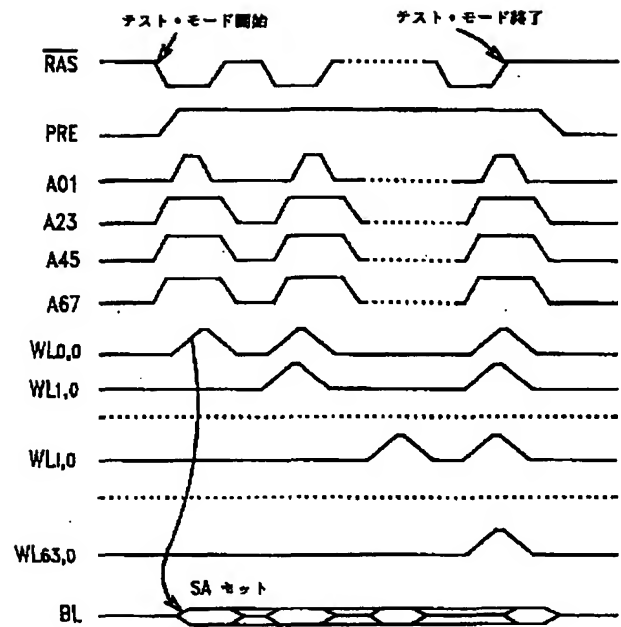
【図 9】



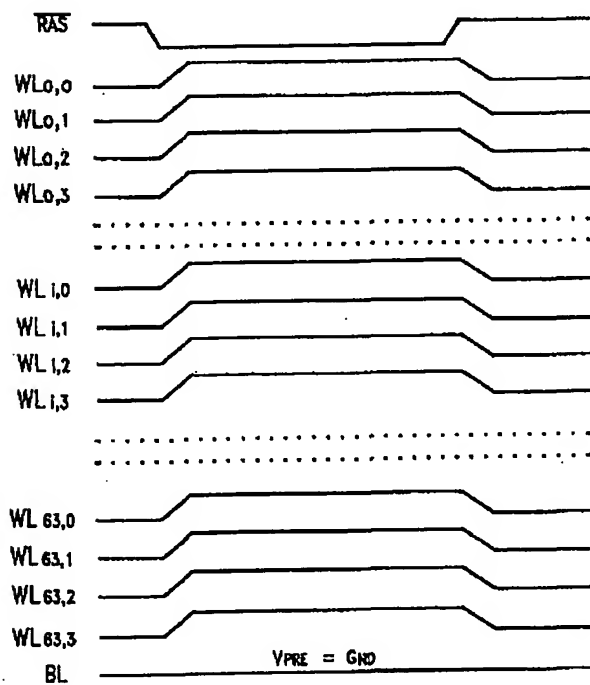
【図 11】



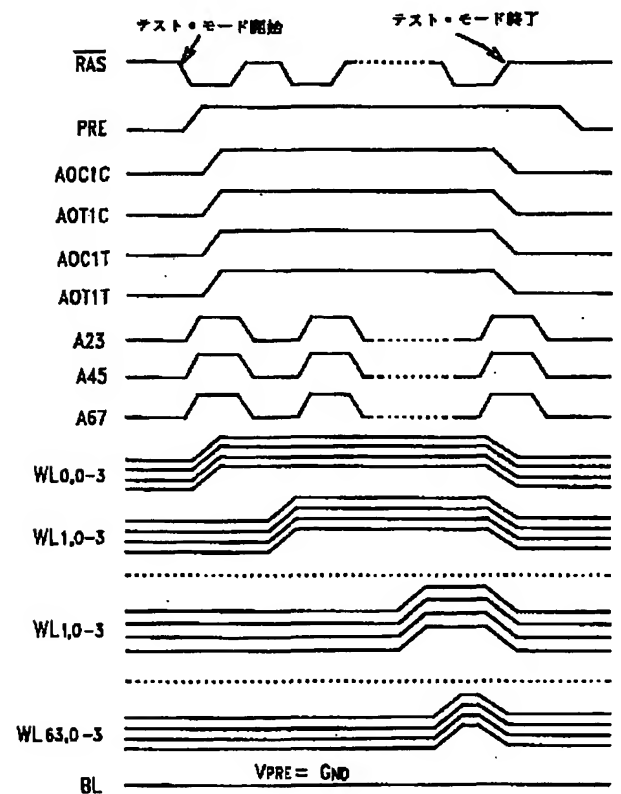
【図 12】



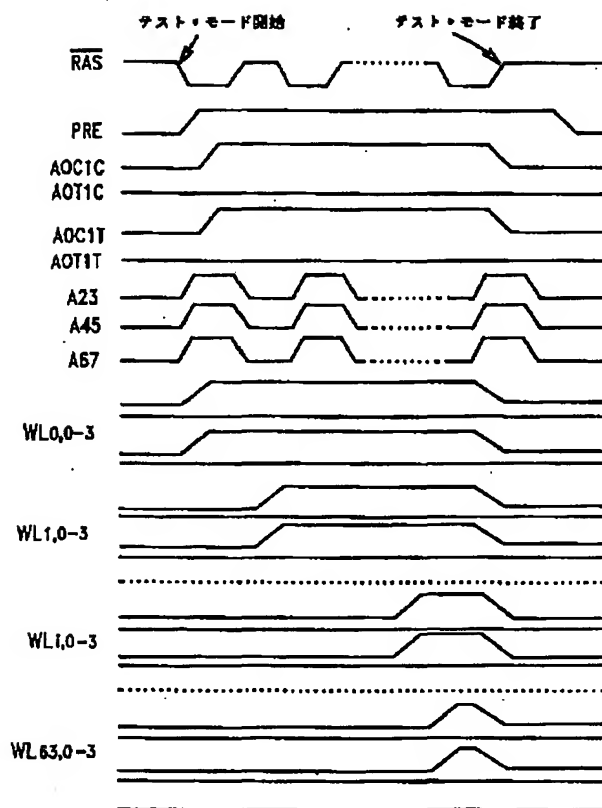
【図 13】



【図 14】



【図 15】



フロントページの続き

(72)発明者    ヒング・ウォング  
 アメリカ合衆国 06850    コネティカット  
 州    ノアウオーク    #54    ベッドフォード  
 アヴェニュー    11